

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.
01147066 **Image available**

SEMICONDUCTOR ELEMENT

PUB. NO.: 58-084466 [JP 58084466 A]

PUBLISHED: May 20, 1983 (19830520)

INVENTOR(s): KOMATSU TOSHIYUKI

HIRAI YUTAKA

NAKAGAWA KATSUMI

OSADA YOSHIYUKI

KOMATA TOMOJI

NAKAGIRI TAKASHI

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 56-182654 [JP 81182654]

FILED: November 13, 1981 (19811113)

INTL CLASS: [3] H01L-029/78; H01L-021/306; H01L-029/04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R003 (ELECTRON BEAM); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS); R115 (X-RAY APPLICATIONS)

JOURNAL: Section: E, Section No. 191, Vol. 07, No. 178, Pg. 114,
August 06, 1983 (19830806)

ABSTRACT

PURPOSE: To obtain the semiconductor element having excellent performance characteristics, reliability and stability by forming the principal section of the semiconductor element by a polycrystal silicon thin-film semiconductor layer, the maximum of the roughness of the surface thereof is substantially 800 angstroms or lower.

CONSTITUTION: With the polycrystalline silicon thin-film semiconductor layer forming the semiconductor element, the film contains 3-0.01at. (atomic)% hydrogen, and the roughness of the surface is 800 angstroms or lower. The orientation intensity of the X-ray diffraction pattern or electron-ray diffraction pattern 220 of the polycrystal silicon thin-film is made 30% or higher to the whole orientation intensity or the mean crystal grain size of the polycrystal silicon thin-film is made 200 angstroms or higher. Accordingly, the scanning circuit and driving circuit of a device utilizing a LC, an EL, an EC or the like or a picture reading device or the like can stably be obtained.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
003691918

WPI Acc No: 1983-51899K/198322

XRAM Acc No: C83-050473

XRFX Acc No: N83-093469

Semiconductor device, esp. thin film FET - using semiconducting film of polycrystalline silicon with specific content of hydrogen atoms.

Patent Assignee: CANON KK (CANO)

Inventor: HIRAI Y; KANAGAWA Y; KOMATSU T; NAKAGAWA K; NAKAGIRI T; OSADA Y

Number of Countries: 003 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 3241959	A	19830526	DE 3241959	A	19821112	198322 B
JP 58084464	A	19830520	JP 81182652	A	19811113	198326
JP 58084465	A	19830520	JP 81182653	A	19811113	198326
JP 58084466	A	19830520	JP 81182654	A	19811113	198326
DE 3241959	C	19881117				198846
JP 90001365	B	19900111				199006
JP 90001366	B	19900111				199006
JP 90001367	B	19900111				199006
US 4905072	A	19900227	US 88188677	A	19880429	199015

Priority Applications (No Type Date): JP 81182654 A 19811113; JP 81182652 A 19811113; JP 81182653 A 19811113

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
DE 3241959	A	80		

Abstract (Basic): DE 3241959 A

The device has a substrate(a), which is covered with a thin, semiconducting film of poly Si(b), which contains in atomic % max. 3% of hydrogen atoms, and has a surface roughness of max. 80 nm. Film(b) forms the main part of the semiconductor device. When film(b) is etched using a mixt. contg. 1 pt.vol. HF (50% aq. soln. by vol.); 3 pts.vol. HNO₃ (density 1.38, 60 vol.% in water); and 6 pts.vol. glacial acetic acid; its etching speed is max. 2 nm/second. Film(b) pref. shows a min. of 30% orientation in the (220) plane when examined by electron beam- or X:ray- diffraction, and consists of crystals with an average grain size of min. 20 nm. The substrate is esp. glass.

Used esp. to make a thin film FET with high performance, used in scanning pictures or images the FET obtd. is stable and reliable.

1/10

Title Terms: SEMICONDUCTOR; DEVICE; THIN; FILM; FET; SEMICONDUCTOR; FILM; POLYCRYSTALLINE; SILICON; SPECIFIC; CONTENT; HYDROGEN; ATOM

Derwent Class: L03;-U11; U12; U14

International Patent Class (Additional): H01L-021/30; H01L-023/54; H01L-029/04

File Segment: CPI; EPI

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—84466

⑤ Int. Cl.³
H 01 L 29/78
// H 01 L 21/306
29/04

識別記号

庁内整理番号
7377—5F
8223—5F

⑬ 公開 昭和58年(1983)5月20日
発明の数 1
審査請求 未請求

(全 12 頁)

⑭ 半導体素子

① 特 願 昭56—182654

② 出 願 昭56(1981)11月13日

⑦ 発 明 者 小松利行

東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 発 明 者 平井裕

東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 発 明 者 中川克己

東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 発 明 者 長田芳幸

東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 発 明 者 小俣智司

東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 発 明 者 中桐孝志

東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑧ 出 願 人 キャノン株式会社

東京都大田区下丸子3丁目30番
2号

⑨ 代 理 人 弁理士 丸島儀一

明 細 書

1 発明の名称

半導体素子

2 特許請求の範囲

(1) 基板上に形成され、3～0.01 μ mの本来原子を含有し且つその表面凹凸性が実質的に800 \AA 以下である多結晶シリコン薄膜半導体層でその主要部を構成した事を特徴とする半導体素子。

(2) 前記半導体層のX線回折パターン又は電子線回折パターンの(220)配向強度が全体の配向強度に対して30%以上である特許請求の範囲第1項に記載された半導体素子。

(3) 前記半導体層の、平均結晶粒径が200 \AA 以上である特許請求の範囲第1項に記載の半導体素子。

(4) 前記基板が、ガラスである特許請求の範囲第1項に記載の半導体素子。

3 発明の詳細な説明

本発明は、電界効果薄膜トランジスタ等の半

導体素子に関し、更に詳しくは、動作特性、信頼性及び安定性の高い、多結晶シリコン薄膜半導体層でその主要部を構成した半導体素子に関する。

最近、画像読取用としての、長尺化一次元フォトセンサや大面積化二次元フォトセンサ等の画像読取装置の走査回路部、或いは液晶(LCと略記する)や、エレクトロクローム材料(EOと略記する)或いはエレクトロルミネッセンス材料(ELと略記する)を利用した画像表示デバイスの駆動回路部を、これ等の表示部の大面積に伴つて所定の基板上に形成したシリコン薄膜を基材として電界効果薄膜トランジスタを形成することで構成することが提案されている。

新かるシリコン薄膜は、より高速化、より高集積化された大面積の画像読取装置や画像表示装置の実現から、非常に重要であるよりも多結晶であることが望まれている。その理由の1つとして上記の如きの高速、高集積の読取装置の走査回

路部や画像表示装置の駆動回路部を形成する為の素材となるシリコン薄膜の実効キャリア移動度 (effective carrier mobility) μ_{eff} としては、大きいことが要求されるが、通常の放電分解法で得られる非晶質シリコン薄膜に於いては約 $0.1 \text{ cm}^2/\text{V} \cdot \text{sec}$ 程度で、つて、単結晶シリコンに較べて遙かに劣り、又、デバイス駆動による経時変化が著しいため所望の要求を満たすものでないことが挙げられる。この移動度 μ_{eff} の小ささ及び経時変化の大きさは、非晶質シリコン薄膜固有の特性であることから、非晶質シリコン薄膜は薄膜作成上の容易さと生産コストの安価を生かし切れないという不都合さを内在している。

これに対して、多結晶シリコン薄膜は、実際に測定されたデータからも非晶質シリコン薄膜に較べて、その移動度 μ_{eff} が遙かに大きく、理論的には現在得られている値よりも、更に大きな値の移動度 μ_{eff} を有するものが作成され得る可能性を有している。

化させていることを見出した。又、多結晶シリコン薄膜中に一定量のHが含有されていることが、上記素子の特性を実用上使用可能ならしめ、又各素子のバラツキを低減させて更に実用性が高められることを見出した。又、多結晶薄膜の配向性及びグレインサイズが、上述した様々な種類の特性をより向上せしめることも合わせて見出したものである。

本発明の目的は、高性能の多結晶シリコン薄膜半導体層を有する半導体素子を提供することを主たる目的とする。

更に詳しくは、基板上に形成される多結晶シリコン薄膜半導体を用いて高性能で信頼性が高く、安定性の高い電界効果薄膜トランジスタを提供することを目的とする。

又、優れた多結晶シリコン薄膜半導体層を用いた電界効果薄膜トランジスタを構成素子とする大面積化半導体デバイスを提供することを目的とする。

本発明の半導体素子を構成する多結晶シリコ

而乍ら、従来、種々の方法によつて作成された多結晶シリコン薄膜を素材とした素子或いはデバイスが、所望された特性及び信頼性を充分発揮できなかつたのが、現状である。本発明者らは、多くの半導体素子は、積層構造的には接合 (PN接合やMIS構造) を有しており、素子の性能として接合面の特性及び信頼性が素子の性能や信頼性を決定するという考え方に基き、上記の諸点に鑑みて、鋭意検討の結果多結晶シリコン薄膜半導体素子においてシリコン薄膜中に含有する水素原子 (H) 量とシリコン薄膜表面の凹凸が、素子の性能及び信頼性を決定することを見出した。

更に詳しくは、多結晶シリコン薄膜を素材として電界効果薄膜トランジスタを形成するに際して、従来の多結晶シリコン薄膜は、薄膜の表面凹凸が大きかつたり不揃いであるため、素子の特性、例えば実効キャリアーモビリティ (μ_{eff})、ゲートリーク等による消費電力及び動作の経時変化、各素子のバラツキ等を低下又は基

ン薄膜半導体層は、膜中にHが3~0.01at.%^(atomic)含有し、かつその表面凹凸性が800Å以下であることを特徴とする。

又、多結晶シリコン薄膜のX線回折パターン又は電子線回折パターン (220) 配向強度が、全体の配向強度に対して30%以上、或いは又、多結晶シリコン薄膜の平均結晶粒径が、200Å以上とされる事により、本発明の目的がより一層効果的に達成される。

この様な、H含有量及び表面凹凸性を有する多結晶シリコン薄膜を素材として作成される半導体素子の一例として、電界効果薄膜トランジスタは、トランジスタ特性 (実効キャリアーモビリティ、スレッショールド電圧、 ON/OFF 比、 g_m 等) が良好となり、経時変化によるトランジスタ特性の経時変化もなく、かつ素子の消費電力及びバラツキも著しく向上させることが出来るため、LO、BL或いはBO等を利用した表示^{デバイス}或いは画像^{デバイス}等の走査回路や駆動回路を安定して提供することが出来る。

本発明の多結晶シリコン薄膜を素材として作成される半導体素子の一例としての電界効果薄膜トランジスタ(TFT)は半導体層、電極層、絶縁層を用いたトランジスタとして知られている。即ち、半導体層に隣接したオーミックなコンタクトを持つソース電極・ドレイン電極間に電圧を印加し、そこを流れるチャネル電流を絶縁層を介して設けたゲート電極にかけるバイアス電圧により変調される。

第1図にはこのようなTFTの典型的な基本構造の一例が示される。絶縁性基板101上に設けられた半導体層102上にソース電極103、ドレイン電極104が接して設けてあり、これ等が被覆する様に絶縁層105が設けられ、該絶縁層105上にゲート電極106がある。

本発明に於ける第1図に示される構造を有するTFTに於いては、半導体層102は、前述した特性を有する多結晶シリコン薄膜で構成され、半導体層102と2つの電極、即ち、ソース電極103、ドレイン電極104の各々との間には、^{例之}非

常に経時変化を起させることは、ほとんどなく、安定してその特性を維持し得ることが観察されている。即ち、例えば3at.%^{と超える} H量では、上述のように連続的にトランジスタ動作を行つた場合、実効キャリアーモビリティの減少が見られかつ出力ドレイン電流が時間とともに減少し、スレッショルド電圧が変化するという経時変化が観察された。本発明に於いてはH量は0.01~3at.%とされるが、^{好適には0.05~0.2at.%} 最適には0.1~1at.%程度とするのが望ましい。

本発明に於いて規定する多結晶シリコン薄膜中に含まれている水素量の測定は、0.1at.%以上は通常化学分析で用いられている水素分析計(Parkin B/mer社製 Model-240 還元素分析計)により行つた。いずれも試料は5mgを分析計ホルダー中に充填して、水素重量を測定し、膜中に含まれる水素量をatomic%で算出した。

0.1at.%以下の微量分析は二次イオン質量分析計-SIMS-(Cameca社製 Model IMS-3f)により行つた。この分析法に於いては通常の方

法質シリコンで構成された第1の α 層107、第2の α 層108が設けられ、オーミックコンタクトを形成している。

絶縁層105はOVD (Chemical Vapour Deposition) 又はLPOVD (Low pressure Chemical Vapour Deposition) 或いはPOVD (Plasma Chemical Vapour Deposition) で形成されるシリコンナイトライド、 SiO_2 、 Al_2O_3 、等の材料で構成される。

本発明に於いては、多結晶シリコン薄膜に含有するH量を0.01at.%以上にすることによつて、種々のトランジスタ特性を向上させることが出来る。多結晶シリコン薄膜に含有されるHは、主に多結晶シリコンの^(結晶部)ドレインバグダリーに存在し、 Si-H の形でSi原子と結合しているが、 Si=H_2 、 Si=H の如き結合形態のものや遊離水素も含んでいることが予想され、これ等不安定な状態で含有されている水素に起因して、その特性の経時的変化が生じているものと思われるが、本発明者らの多くの実験事実から3at.%以下のH量に於いては、トランジスタ特性の劣化

法を略要した。即ちチャージアップ防止のため薄膜上に200Å厚の金を蒸着し、一次イオンビームのイオンエネルギーを8 KeVとし、サンプリング電流 5×10^{-10} A、スポットサイズ50 μm としエッチング面積は $250 \times 250 \mu\text{m}$ として、 Si^+ に対する H^+ イオンの検出強度比を求め水素含有量をatomic%で算出した。

又、多結晶シリコン薄膜トランジスタの経時変化に関しては次のような方法によつて行つた。

第2図に示す構造のTBTを作製しゲート201にゲート電圧 $V_g=4.0$ V、ソース203とドレイン202間にドレイン電圧 $V_d=4.0$ Vを印加しソース203とドレイン間に流れるドレイン電流をエレクトロメーター208 (Keithley 610C エレクトロメーター)により測定し、ドレイン電流の経時の変化を測定した。経時変化率は、500時間の連続動作後のドレイン電流の変動量を初期ドレイン電流で割りそれを100倍し、%表示で表わした。

TFTの閾値電圧^{(スレシホールド) V_{TH}} は、MOSFETで通常行われている $V_D - V_{TH}$ の直線における直線部分を外挿し横軸である V_D 軸と交差した点によつて定義した。経時変化前と後の V_{TH} の変化も同時にしらべ、変化量をボルトで表示した。

更に、多結晶シリコン薄膜の表面凹凸を800Å以下とすることによつて、この多結晶シリコン薄膜の表面にゲート用の絶縁層を形成した上ゲート型電界効果トランジスタの場合のゲートリークを著しく減少させることができる。ゲート用絶縁層は通常トランジスタ特性の向上のために出来るだけ薄くされるが、数百Å〜数千Åの範囲内で形成されるため表面凹凸は、実用上、ゲートリークを避ける原因とするのが困難である。更に又、800Å以下の凹凸は、トランジスタ特性特に実効キャリアーモビリティを著しく減少させ、かつ経時変化も増加させるものである。

これらの事実、絶縁層と多結晶シリコン表面をドリフトするキャリアーが、凹凸の影響を

強く受けていることを示しており、トランジスタの特性と安定性のために表面凹凸の低減が必須の条件である。

次に、ゲート用絶縁層上に多結晶シリコン薄膜を形成する下ゲート型電界効果トランジスタの場合について述べる。多結晶シリコン薄膜の表面凹凸が800Å以下のもものは、基板表面近傍において結晶配向性が乏しいアモルファスや微結晶層が成長し、成長途中から膜成長方向に局状に広がる結晶成長が起こり凹凸を増大させることが多くの断面写真から判明した。

従つて、このような表面凹凸が800Å以下の多結晶シリコン薄膜を半導体層に用いた下ゲート型のトランジスタ特性は、実効キャリアーモビリティが極めて小さくトランジスタの運転動作の経時変化も大きく実用上の特性が劣る。

本発明で開示される表面凹凸性を800Å以下に押えて形成される多結晶シリコン薄膜は、基板界面から密な結晶成長が起こり膜厚方向での結晶性、配向性に著しい差は見られないもので

あり、トランジスタ特性においても良好なものを与える。

多結晶シリコン薄膜の表面凹凸を800Å以下とすることが上又は下ゲート型のいずれにも拘らず電界効果トランジスタによつて著しく、最速には、500Å以下とされるのよい。本発明に於いてはこの表面凹凸の測定は、電界放射型走査電子顕微鏡(JFSM-30型; 日本電子社製)により25KVの加速電子による多結晶薄膜シリコンの長一断面の10万倍像から求めた。

形成される多結晶シリコン薄膜半導体層に含有されるH量及びその凹凸性を前記の様に制限するには、種々の方法において実現しうる。

例えば、 SiH_4 、 Si_2H_6 等の水素化シリコンをグロー放電分解法(GD)によつて析出させる方法、Siターゲットを用い H_2 を含むガス中でスパッタ(SP)する方法、 H_2 プラズマ中電気でSiを電子ビーム蒸着する(IP)方法、超高真空中での H_2 雰囲気下で蒸着する方法(HVD法)を始め、OVDやLPOVD等で形成された多結晶シリコン

膜を H_2 プラズマ処理する方法等々の特定の条件下によつて実現されり。本発明で特記すべきことは、GD法やSP法、IP法及びHVD法、よつて形成された多結晶シリコン薄膜半導体層によると、本発明で開示されるように350℃〜450℃という低温においてもH量及び表面凹凸の制限を守る限り、例えばOVDやLPOVDで高温(600℃以上)の下で作製されて H_2 プラズマアニールした従来知られている多結晶シリコン膜と遜色のないトランジスタ特性を与え、かつ安定性及び信頼性を与えるものであり、本発明の有用性を端的に表わしている。

更に、多結晶シリコン薄膜のH量及び表面凹凸性を満足し、かつ(220)配向が強くなるにつれて、トランジスタ特性特に実効キャリアーモビリティの更に向上することが認められ、又、運転動作時の経時変化に大きく影響する。

多結晶シリコン薄膜の結晶性、配向性には、膜作成法、膜作成条件によつて種々のものが得られることが知られている。

本発明においては、配向性を調べる方法としてはX線回折、電子線回折を合わせて行つた。

作成した多結晶シリコン膜のX線回折強度をBigaku電機製X線ディフラクトメーター(銅管球、35KV、10mA)により測定し、比較を行つた。回折角 2θ は $20^\circ \sim 85^\circ$ まで変化させて(111)、(220)、(311)の回折ピークを検出してその回折強度を求めた。

又、電子線回折強度を日本電子社製JBM-100Vにより測定し同様に各回折強度を求めた。

ASTMカード(No.27-1402、JCPDS1977)によれば、配向の全くない多結晶シリコンの場合、回折強度の大きい面(h, k, l)表示で(111):(220):(311)=100:55:30で(220)だけ取り出してみると全回折強度に対する比、即ち、

(220)の回折強度 / (全回折強度) は、

約 $(55/250) \times 100 = 22(\%)$ である。

の値の程度も異なる。従つて各作製法によつて、適宜膜厚が定められる。

本発明において、開示されるように、特に水素化シリコン化合物のガスのグロー放電法、真空雰囲気でのシリコンのスバツタリング法、イオンプレーティング法、超高真空蒸着法においては、基板表面温度が 500°C 以下(約 $350 \sim 500^\circ\text{C}$ の範囲)で本発明の目的に合意しうる多結晶シリコン薄膜の形成が可能である。この事實は、大面積のデバイス用の大面積にわたる駆動回路や走査回路の作製において、基板の均一加熱や安価な大面積基板材料という点で有利であるだけでなく、透過型の表示素子用の基板や基板側入材型の光電変換受光素子の場合等面像デバイスの応用において透光性のガラス基板が多く選まれており、この要求に答へうるものとして重要である。

従つて、本発明によれば従来技術に較べて、低温度領域をも実施することが出来る為、従来法で使用されている高融点ガラス、硬ガラス

この値を基準にして、この値の大きな(220)配向性の良いもの特に30%以上の値をもつものが、更に良好なトランジスタ特性を示し30%以上においては、経時変化が大きくなり好しくない。本発明においては最適には50%以上が望ましい。

又更に、多結晶シリコン薄膜のH量及び表面凹凸性を満足しかつ平均結晶粒径(平均的グレインサイズ)が大きくなるにつれてトランジスタ特性特に実効キャリアーモビリティの向上することが認められた。平均的グレインサイズの値は、上述のX線回折パターン(220)ピークの半値巾から通常の用いられているScherrer法によつて求めた。平均的グレインサイズが、 200\AA 以上で特に実効キャリアーモビリティが向上する。特に最適には、 300\AA 以上が望ましい。

グレインサイズは、膜厚の違いによつて成長速度の差があらわれて、その大きさが異なる場合が多い。多結晶シリコン薄膜の作製方法や作製条件によつてこの膜厚によるグレインサイズ

等の耐熱性ガラス、耐熱性セラミックス、サファイヤ、スピネル、シリコンウエーハ等の他に、一般の低融点ガラス、耐熱性プラスチック等も使用され得る。

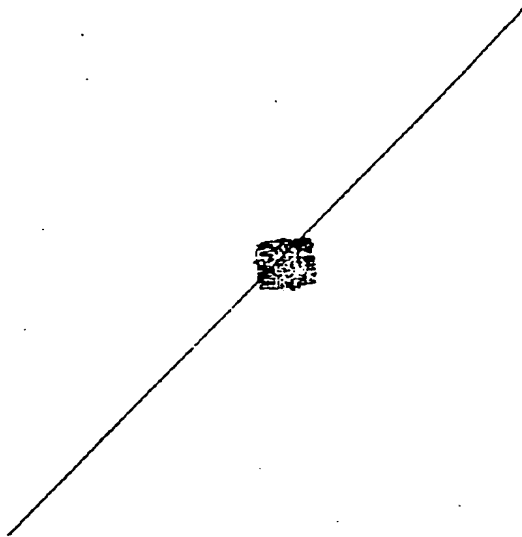
ガラス基板としては、軟化点温度が 630°C の並ガラス、軟化点が 780°C の普通硬質ガラス、軟化点温度が 820°C の超硬質ガラス(JIS1級超硬質ガラス)等が考えられる。

本発明の製法においては、いずれの基板を用いても基板温度が軟化点より低く押えられるため、基板をそこなりことなく、膜を作成できる利点がある。

本発明の実施例においては、基板ガラスとして軟化点の低い並ガラス(ソーダガラス)のうち、主としてコーニング#7059ガラスを用いたが、軟化点が 500°C の石英ガラス等を基板としても可能である。しかし、実用上からは並ガラスを用いることは、安価で大面積にわたつて薄膜トランジスタを作製する上で有利である。

以下に、本発明を更に詳細に説明するために、

多結晶シリコン薄膜の形成から TFT の作成プロセスと TFT 動作結果について実施例によつて具体的に説明する。



が安定してから、下部カソード電極 313 に 13.56 MHz の高周波電圧 314 によって、0.7 KV 印加してカソード³¹³とアノード（基板加熱ホルダー）302 間にグロー放電を生起させた。電流は 60 mA、RF 放電パワー（進行波一反射波）は 20 W であった。この条件でのシリコン膜の成長速度は 0.25 Å/sec であり、4.5 時間成長させて約 0.4 μm 膜を形成した。

こうして形成された基板 300 上のシリコン膜の膜厚の分布は、±3 μm 内に収っていた。又、シリコン層中に含有する H 量は、2.2 重、シリコン膜表面の凹凸は、(1.0 万倍の電子顕微鏡による膜の断面写真から)約 300 Å であった。続いて、第 4 図に示した工程にそつて TFT を作製した。シリコン薄膜 401 上に同一装置内において n+ 層 402 を以下の様に形成した。基板は 250℃ に調整させた後、水素ガスで 10.0 vol ppm に希釈された PH_3 ガス ($\text{PH}_3(100)/\text{H}_2$ と略記する)を H_2 で 10 vol % に希釈された $\text{SiH}_4(3\text{H}_2(10)/\text{H}_2$ と略記する)ガスに対して、 $\frac{\text{PH}_3/\text{SiH}_4}{\text{H}_2}$ 比に

実施例 1

以下に示す工程でコーニングガラス (#7059) 基板上に多結晶シリコン薄膜を形成し、電界効果薄膜トランジスタ (TFT) を作製した。120 × 120 mm、0.7 mm 厚の #7059 コーニングガラスを $\text{HF}/\text{HNO}_3/\text{CH}_3\text{COOH}$ の混合液で極くエッチングし、流水洗浄液乾燥して基板 300 を準備した。基板 300 を第 3 図に示されたベルジャー増設室 301 内の上部アノード側の基板加熱ホルダー 302 に密着して固定した。ベルジャー 301 を抜換ポンプ 309 で真空状態に導びき、パッタランド真空度を 2×10^{-4} Torr まで排気した後、基板加熱ホルダー 302 を加熱して、基板 300 の表面温度を 350℃ に保った。続いて H_2 ガスで 1.0 vol % に希釈した SiH_4 ガス ($8\text{SiH}_4(10)/\text{H}_2$ と略記する)をマスフローコントローラ 304 を用いて 5 SCCM の流量で、リング状ガス吹き出し口 315 からベルジャー 301 内に導入し、メインバルブ 310 を絞って絶対圧力計 312 を用いてベルジャー内圧を 0.03 Torr に調整した。ベルジャー内圧

して 5×10^{-1} の割合でマスフローメーター 304 及び 306 によってベルジャー 301 内に導入させ、ベルジャー 301 内の圧力を 0.12 Torr に調整して 10 W でグロー放電を行い P のドーパされた n+ 層 402 を 500 Å の厚さに形成した（工程 4）。次に工程 4 のようにフォトエッチングにより n+ 層 402 をソース電極 403 の領域、ドレイン電極 404 の領域をのぞいて除去した。次にゲート絶縁膜を形成すべくベルジャー 301 内に再び上記の基板が、アノード側の加熱ホルダー 302 に固定された。多結晶シリコンを作製する場合と同様にベルジャー 301 が排気され、基板温度 T_s を 250℃ として NH_3 ガスを 208 SCCM を $\text{SiH}_4(8\text{SiH}_4(10)/\text{H}_2)$ ガスを 53 SCCM マスフローメーター 305 及 304 によって導入して 5 W でグロー放電を生起させて 3INH 膜 405 を 2500 Å の厚さに堆積させた。

次にフォトエッチング工程によりソース電極 403、ドレイン電極 404 用のコンタクトホール 406-2、406-3 をあけ、その後で、 3INH

膜405全面にA4を蒸着して電極膜407を形成した後、ホトリソング工程によりA4電極膜407を加工してソース電極用取出し電極408、ドレイン電極用取出し電極409及びゲート電極410を形成した。この後、 H_2 雰囲気中で250℃の熱処理を行った。以上の条件とプロセスに従って形成されたTFT(チャンネル長 $L=10\mu$ 、チャンネル幅 $W=500\mu$)は安定で良好な特性を示した。

第6図にこの様にして試作したTFTの特性例を示す。第6図にはドレイン電流 I_D とドレイン電圧 V_D の関係をゲート電圧 V_G をパラメータにしたTFT特性例が示されてある。ゲートのスレッショールド電圧(V_{th})は5Vと低く、 $V_G=20V$ での $V_G=0$ の電流値の比は3ケタ以上とれている。この素子の実効モビリティ(μ_{eff})は、 $1.3 \left(\frac{cd}{V \cdot sec} \right)$ であり、 $V_G=40V$ 、 $V_D=40V$ の条件で I_D (ドレイン電流)及び V_{th} の変化を測定したが、500時間で I_D は、0.1%以下、 V_{th} は全く不変であり経時のDC動作特性は良

く不変であり経時のDC動作特性は良好であった。

又 $120mm \times 120mm$ のコーニングガラス基板上の同一形状のTFT素子でゲートリークして素子特性を充分発揮できない素子の率はほとんど0であった。

実施例3

第5図の(a)に示されるようにコーニングガラス500上に M_2 蒸着膜(BB蒸着、1000Å厚)を設けた後に、ホトリソグラフィによって所定の形状にゲート電極301を形成したものを基板とした。続いて実施例1と同様の条件によってSiNH膜502を形成2,500Å形成し、更に多結晶シリコン薄膜503を実施例(2)と同様の条件で0.1 μ 形成した。更に、多結晶シリコン薄膜503上に実施例(1)と同様に n^+ 層504を500Å形成し、続いて M_2 蒸着膜505を1,500Å積層させた。その後再びホトリソグラフィによってソース、ドレイン電極506、507を形成した。その後 H_2 雰囲気中で250℃の熱処理を行った。以上の条件とプロセスで形成され

たTFT素子であった。

又 $120mm \times 120mm$ のコーニングガラス基板上の同一形状のTFT素子でゲートリークして素子特性を充分発揮できない素子の率は0.2%以下であり実用上使用可能な範囲に入っていた。

実施例2

実施例1と同様にコーニングガラス上にシリコン膜を形成するに際して、基板表面温度380℃、 $SiH_4(SiH_4(10)/H_2)$ 流量25CCM、ペルジャー内圧0.015Torr、RFパワー10Wの条件を用いた。この条件でのシリコン膜の成長速度は、0.07 μ/sec であり、4時間成長させて約0.1 μ 膜を形成した。シリコン膜中に含有するH量は、0.8at%、シリコン膜表面の凹凸は、約100Åであった。

続いて実施例1と同様の工程(b~d)によってTFTを作製した。この素子の実効モビリティは、 $1.6 \left(\frac{cd}{V \cdot sec} \right)$ であり、 $V_G=40V$ 、 $V_D=40V$ の条件で I_D 及び V_{th} の変化を測定したが、500時間で I_D は0.1%以下、 V_{th} は全く

不変であり経時のDC動作特性は良好であった。この素子の実効モビリティは、 $0.9 \left(\frac{cd}{V \cdot sec} \right)$ であり、 $V_G=40V$ 、 $V_D=40V$ の条件で I_D 及び V_{th} の変化を測定したが、500時間で I_D は、0.1%以下、 V_{th} は、全く不変であった。

実施例4

実施例1と同様に準備された同等のコーニングガラス基板300をペルジャー301内の上層アノード側の基板加熱ホルダー302に密着して固定し、下部カソード313の電極板上に基板と対向するように多結晶シリコン膜(図示されていない:99.999%)を静置した。ペルジャー301を拡散ポンプ309で真空状態とし、 2×10^{-4} Torrまで排気し、基板加熱ホルダー302を加熱して基板300の表面温度を450℃に保った。続いて高純度 H_2 ガスをマスフローメーター308に

よって0.58CCM ベルジャー内に導入し、更にAr/H₂ (5/95 比) 混合ガスをマスフローメーター307 によって508CCM の流量でベルジャー301 内に導入しメインバルブ310 を絞ってベルジャー内圧を0.05 Torr に設定した。ベルジャー内圧が安定してから、下部カソード電極313 に13.56MHz の高周波電圧314 によって、20KV 印加してカソード312 上の多結晶シリコン板とアノード(基板加熱ホルダー)302 間にグロー放電を生起させた。RF 放電パワー(進行波一反射波)は200W であった。この条件でのシリコン膜の成長速度は0.3Å/sec であり、4時間成長させて約0.4μ膜を形成した。

シリコン層中に含有するH量は、0.2%、シリコン膜表面の凹凸は、10万倍の電子顕微鏡による膜の断面写真から^{最大}約400Åであった。

続いて実施例1と同様に第4図に示す工程(4~6)に従ってTFTを作製した。この素子の実効モビリティは1.0 ($\frac{cm^2}{V \cdot sec}$) であり、 $V_0 = 4.0V$, $V_D = 4.0V$ の条件で I_D 及び V_{th} の変化を

第 1 表

試料 No	5-1	5-2	5-3	5-4	5-5
H ₂ (8CCM)	0	0.1	0.5	5	50
H 量 (at%)	0	0.01 ^{最大}	0.2	3	6
凹凸 (Å)	350	350	400	400	500
μ_{eff} ($\frac{cm^2}{V \cdot sec}$)	~10 ⁻²	0.5	1.4	1.3	0.9
経時変化(%)	0.1>	0.1>	0.1>	0.2	26

* 経時変化は、実施例1と同様に $V_0 = V_D = 4.0V$, 500時間の $(I_D(2) - I_D(500))/I_D(2)$ 値。

$I_D(2)$: 初期のドレイン電流、

$I_D(500)$: 500時間後のドレイン電流

第1表に示された通り、シリコン膜に含有するH量が、0.01%^{at} 以上の場合、キャリアの実効モビリティが良好であることが示され、3%^{at} 以下において経時変化が極めて少ない素子特性が得られた。

実施例6

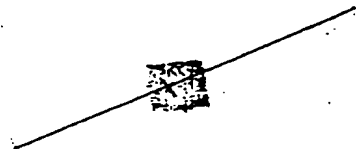
実施例1と同様にしてコーニングガラス上に

測定したが、500時間で I_D は、0.1%以下、 V_{th} は全く不変であり経時のDC動作特性は良好であった。

又120mm×120mmのコーニングガラス基板上の同一形状のTFT素子でゲートリークして素子特性を充分発揮できない素子の率は0.2%であり実用上使用可能な範囲に入っていた。

実施例5

実施例⁴と同様の方法で、コーニングガラス基板上にシリコン膜を形成するに際して、Ar/H₂ (5/95 比) を508CCM に対してH₂ ガス流量を第1表に示す如く変化させて作製された各々のH量、表面凹凸性を有する0.4μ膜厚のシリコン膜の各々を用いて実施例1.2と同様の工程によってTFTを作製しその特性を測定した結果を第1表に示した。



シリコン膜を形成するに際して、ベルジャー内圧(Pr)を第2表の如くに変化させた場合の各々の0.4μ膜のH量、表面凹凸及TFT特性を示した。

第 2 表

試料 No	6-1	6-2	6-3	6-4	6-5
Pr (Torr)	0.01	0.02	0.04	0.08	0.16
H 量 (at%)	1.8	2.0	2.2	2.2	2.4
凹凸 (Å)	150	200	300 ^{最大}	800	1200
μ_{eff} ($\frac{cm^2}{V \cdot sec}$)	1.4	1.3	1.3	0.7	0.2
ゲートリーク素子率	0.1	0.2	0.2	0.4	33

第2表に示される様に形成された多結晶シリコン薄膜の表面凹凸が300Å以下においてゲート素子リーク率が実用範囲内にあり、かつTFTキャリアー実効モビリティにおいても良好であることが示された。

実施例7

実施例3と同様に SiO_2 ゲートを有した基板を用い、同様にSiNH膜を2500Å堆積した。更に実

施例 6 と同様ニベルジャー内圧 (Pr) を変化させた多結晶シリコン薄膜を各々 0.4 μ 膜厚し、 α 層、 β 膜を積層、ホトリソグラフィ工程をへて T F T を作製し、結果を第 3 表に示した。

第 3 表

試料 No	7-1	7-2	7-3	7-4	7-5
P_r (Torr)	0.01	0.02	0.04	0.08	0.16
H 量 (μg)	1.8	2.0	2.2	2.2	2.4
凹凸 (Å)	150	200	300	800	1200
μ_{eff} ($\frac{cm^2}{Vs}$)	0.7	0.8	0.6	0.4	0.02
経時変化 (%)	0.1>	0.1<	0.1>	0.5	2.5

第 3 表に示される様形成された多結晶シリコン薄膜の表面凹凸が 800 Å 以下において実効キャリアモビリティ及 500 時間温動動作経時変化が良好であった。

実施例 8

実施例 1 と同様にしてコーニングガラス上にシリコン膜を形成するに際して、入力 R F パワー (Po) を第 4 表の如くに変化させた場合の各々

平均 grain size 及び T F T 特性を示した。

第 5 表

試料 No	8-1	8-2	8-3	8-4	8-5
λ (μ)	0.1	0.2	0.4	0.6	0.8
H 量 (μg)	2.2	2.0	2.2	2.3	2.2
凹凸 (Å)	220	250	300	300	300
平均 grain size (Å)	160	200	340	460	550
μ_{eff} ($\frac{cm^2}{Vs}$)	0.4	0.6	1.3	1.5	2.6

第 5 表に示される様に、grain size が 200 Å 以上で T F T キャリア実効モビリティが良好であることが示された。

実施例 10

第 7 図に示すイオンブレイティング堆積装置を用いて作製した多結晶シリコン薄膜半導体層を用いて薄膜トランジスタの形成した例を以下に記す。

初めに減圧にしようる堆積室 701 内に α -SiH₄ / 多結晶シリコンのシリコン蒸発体 702 をポート 703 内に置きコーニングガラス 705 基板を支持体

特開昭 58- 84466 (Θ)
約 0.4 μ 膜の H 量、凹凸、(220) 配向強度及び T F T 特性を示した。

第 4 表

試料 No	8-1	8-2	8-3	8-4	8-5
Po (W)	10	20	50	100	150
H 量 (μg)	2.0	2.2	2.0	2.6	3.0
凹凸 (Å)	300	300	350	350	350
(220) 配向 (%)	68	65	52	30	27
μ_{eff} ($\frac{cm^2}{Vs}$)	2.2	1.3	1.0	0.6	0.2
経時変化 (%)	0.1>	0.1>	0.1>	0.3	2

第 4 表に示される様に、(220) の配向が 30 % 以下においては、T F T のキャリア実効モビリティが低下し、かつ T F T 経時変化が大きくなることが示された。

実施例 9

実施例 1 と同様にしてコーニングガラス上にシリコン膜を形成するに際して、成長時間を変化させて第 5 表に示された各膜厚時のシリコン膜についての H 量、表面凹凸、(220) 配向強度、

704-1, 704-2 に設置し堆積室内をベースプレッシャーが約 1×10^{-6} Torr になるまで排気した後、ガス導入管 705 を通じて純度 99.999 % の H₂ ガスを水素分圧 P_H が 3×10^{-6} Torr になる様に堆積室内に導入した。使用したガス導入管は内径 2 mm で先のループ状の部分にガス吹き出し口が 2 mm 間隔で 0.5 mm の孔が開いているのを用いた。

次に高周波コイル 706 (直径 5 mm) に 13.56 MHz の高周波を印加して出力を 40 W に設定してコイル内部分に高周波プラズマを形成した。他方、支持体 704-1, 704-2 は回転させながら、加熱装置 707 動作状態にして 430 °C に加熱しておいた。

次に蒸発体 702 にエレクトロンガン 708 より照射し、加熱し、シリコン粒子を飛翔させた。このときのエレクトロンガンのパワーは約 0.3 KW であった。

この様にして 2 時間で 4000 Å の多結晶シリコン薄膜が形成された。この薄膜を用いて実施

例1と同様なプロセスで薄膜トランジスタを作製した。シリコン層中に含有するH量は、0.5%、シリコン膜表面の凹凸は約450Åであった。この素子の実効モビリティ (μ_{eff}) は $1.1 \left(\frac{cm^2}{V \cdot sec} \right)$ であり、 $V_g = 4.0V$ 、 $V_D = 4.0V$ の条件で I_D 及び V_{th} の変化を測定したが500時間で I_D は0.1以下、 V_{th} は全く不変であり経時のDC動作特性は良好であった。

又120mm×120mmのコーニングガラス基板上の同一形状のTFT素子でゲートリークして素子特性を充分発揮できない素子の率は約0.3%であり実用上使用可能な範囲に入っていた。

実施例11

実施例1と同様に準備されたコーニング7059ガラス基板800を第8図に示された超高真空槽801内の基板ホルダー802に挿入し真空槽内の圧力が 2×10^{-10} Torrの圧力に減圧した後タンタルヒーター803により基板温度を400℃に設定した。続いて、高純度水素ガス(99.9999%)をペリアズルリークバルブ808により真空槽内

圧力を 5×10^{-1} Torrに設定した。つづいて電子銃804を8KVの加速電圧で動作させ発射される電子ビームをシリコン蒸発体805に照射させシリコン蒸発体を蒸発させつづいてシャッター807を開き基板800に膜厚0.4μmになるよう水晶振動子膜厚計806でコントロールし、多結晶シリコン膜を形成した。このときの蒸着中の圧力は 1×10^{-10} Torr、蒸着速度は1.4Å/secであった。この薄膜を用いて実施例1と同様なプロセスで薄膜トランジスタを作製した。シリコン層中に含有するH量は、0.15%、シリコン膜表面の凹凸は約300Åであった。この素子の実効モビリティ (μ_{eff}) は $2.1 \left(\frac{cm^2}{V \cdot sec} \right)$ であり、 $V_g = 4.0V$ 、 $V_D = 4.0V$ の条件で I_D 及び V_{th} の変化を測定したが、500時間で I_D は0.1%以下、 V_{th} は全く不変であり経時のDC動作特性は良好であった。

又120mm×120mmのコーニングガラス基板上の同一形状のTFT素子でゲートリークして素子特性を充分発揮できない素子の率は約0.2%

であり実用上使用可能な範囲に入っていた。

4. 図面の簡単な説明

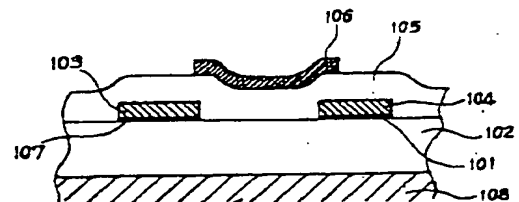
第1図は、本発明の半導体素子の構造を説明する為の模式的説明図、第2図は、本発明の半導体素子の特性を測定する為の回路を模式的に示した説明図、第3図、第7図、第8図は各々本発明に係わる半導体膜作製装置の例を説明する為の模式的説明図、第4図及び第5図は各々本発明の半導体素子を作成する為の工程を模式的に説明する為の工程図、第6図は本発明の半導体素子の $V_D - I_D$ 特性の一例を示す説明図である。

101…基板、102…薄膜半導体層、103…ソース電極、104…ドレイン電極、105…絶縁層、106…ゲート電極、107、108… n^+ 層。

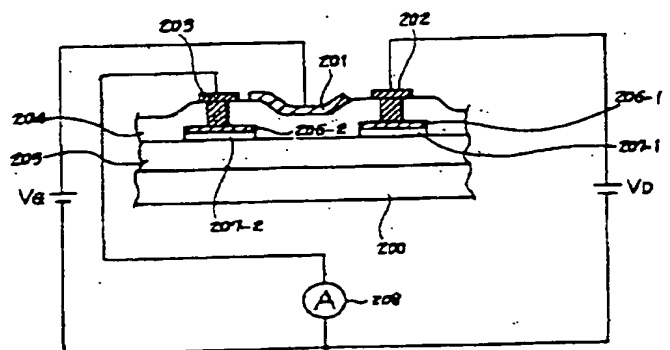
出願人 ヤマノン株式会社
代理人 丸島 鶴



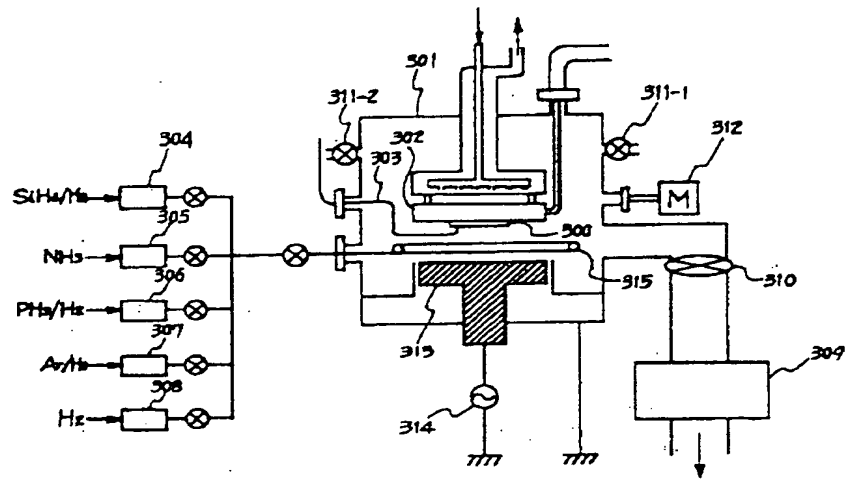
第1図



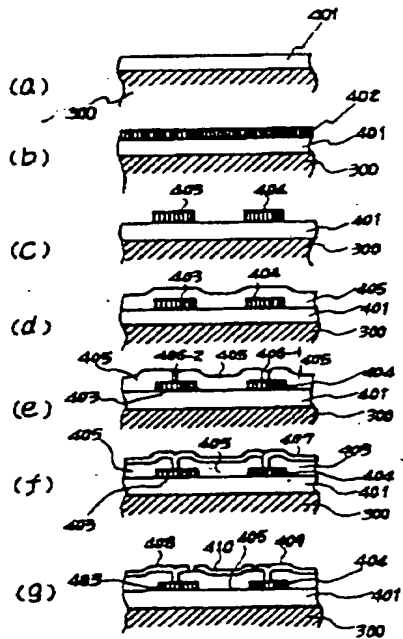
第2図



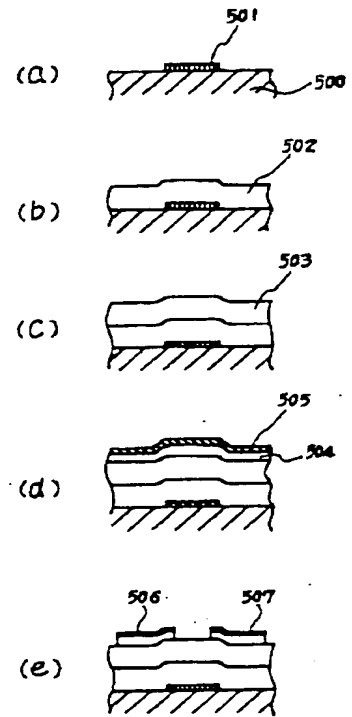
第3図



第4図

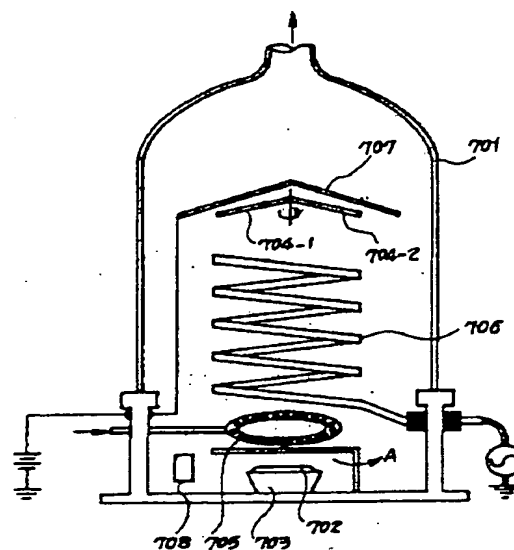
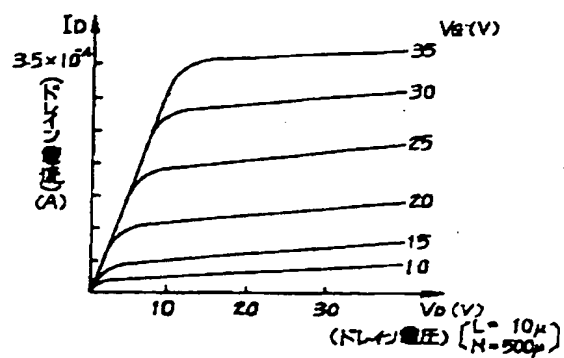


第5図



第 7 図

第 6 図



第 8 図

